

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144813

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H01L 23/12

(21)Application number : 08-293627

(71)Applicant : SUMITOMO KINZOKU ELECTRO DEVICE:KK

(22)Date of filing : 06.11.1996

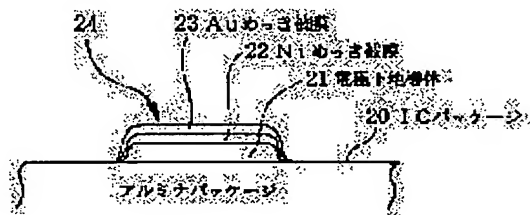
(72)Inventor : NAKASU KOICHI

(54) ELECTRODE STRUCTURE OF IC PACKAGE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease the rate of occurrence of void cutting on a solder-jointed part.

SOLUTION: After an alumina package 20 and the electrode base conductor 21, such as the W, Mo, etc., printed on the surface of the alumina package 20, have been fired simultaneously, an Ni-plated film 22, which is electroless Ni plated, is formed on the surface of the electrode base conductor 21. Subsequently, the Ni-plated film 22 is heat treated in a reducing atmosphere. Then, after an Au-plated film 23, which is electroless Au-plated, has been formed on the surface of the Ni-plated film 22, the water trapped in the Au-plated film 23 is removed by evaporation by heat treating or plasma treating the Ni/Au-plated film in a reducing atmosphere. As a result, the void generated on the solder-bonded part when solder is reflowed can be reduced, and the rate of occurrence of void cutting on the solder bonded part can be decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144813

(43) 公開日 平成10年(1998) 5月29日

(51) IntCl.⁶

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

Q

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平8-293627

(22) 出願日 平成8年(1996)11月6日

(71) 出願人 391039896

株式会社住友金属エレクトロデバイス
山口県美祢市大嶺町東分字岩倉2701番1

(72) 発明者 中洲 浩一

山口県美祢市大嶺町東分字岩倉2701番1
株式会社住友金属エレクトロデバイス内

(74) 代理人 弁理士 加古 宗男

(54) 【発明の名称】 I Cパッケージの電極構造及びその製造方法

(57) 【要約】

【課題】 半田接合部のボイド切れの発生率を低減する。

【解決手段】 アルミナパッケージとその表面に印刷されたW、Mo等の電極下地導体とを同時焼成した後、電極下地導体の表面に無電解NiめっきでNiめっき被膜を形成する。この後、還元雰囲気中でNiめっき被膜を加熱処理する。次に、このNiめっき被膜の表面に無電解AuめっきでAuめっき被膜を形成した後、還元雰囲気中でNi/Auめっき被膜を加熱処理又はプラズマ処理して、Auめっき被膜内にトラップされている水分を気化させて取り除く。これにより、半田リフロー時に半田接合部に発生するボイドを低減することができ、半田接合部のボイド切れの発生率を低減することができる。

アルミナパッケージ焼成
(電極下地導体焼成)

無電解Niめっき

無電解Auめっき

加熱処理
(プラズマ処理)

【特許請求の範囲】

【請求項1】 ICパッケージにICチップ、プリントボード等を半田で接続するためのICパッケージの電極構造において、

前記ICパッケージの表面に形成された電極下地導体と、この電極下地導体の表面に形成されためっき被膜とから成り、

前記めっき被膜は、めっき処理後に加熱処理又はプラズマ処理されていることを特徴とするICパッケージの電極構造。

【請求項2】 ICパッケージの表面に形成された電極下地導体の表面にめっき被膜を形成し、この後、該めっき被膜を加熱処理又はプラズマ処理することにより、該めっき被膜内に含まれる水分を低減することを特徴とするICパッケージの電極構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ICパッケージにICチップ、プリントボード等を半田で接続するためのICパッケージの電極構造及びその製造方法に関するものである。

【0002】

【従来の技術】例えば、アルミナパッケージの電極は、アルミナグリーンシートに電極パターンをタングステン、モリブデン等の高融点金属のペーストにより印刷し、この電極パターンをアルミナグリーンシートの積層体と1500～1600℃で同時焼成して形成される。この場合、電極の表面が高融点金属のままでは半田付けが困難であるので、図3(a)に示すように、高融点金属11の表面に、半田付け性を確保するためのNiめっき被膜12を形成し、更にその上にAuめっき被膜13を形成している。

【0003】このアルミナパッケージの電極部にICチップを半田付けする場合には、ICチップの電極部に半球突起状の半田バンプを形成し、この半田バンプをアルミナパッケージの電極部に位置合わせした状態でリフロー炉で加熱してリフロー半田付けするようになっている。

【0004】

【発明が解決しようとする課題】ところで、ICチップ等をアルミナパッケージの電極部にリフロー半田付けする際に、リフロー炉内でめっき被膜12、13も加熱されるため、該めっき被膜12、13内にトラップされている水分が気化して、図3(b)に示すように、熔融した半田接合部14内に閉じ込められて多数のボイド15が形成される。このため、硬化した後の半田接合部14の引張り強度がボイド15の存在によって低下し、図3(c)に示すように、半田接合部14が引張り荷重によりボイド15部分で破断するボイド切れの発生率が高くなり、これが接合信頼性を低下させる原因となってい

る。

【0005】本発明はこのような事情を考慮してなされたものであり、従ってその目的は、半田接合部のボイド切れの発生率を効果的に低減でき、接合信頼性を向上できるICパッケージの電極構造及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明は、半田リフロー時に半田接合部にボイドが発生する原因がめっき被膜内に含まれる水分であることに着目し、電極下地導体の表面に形成しためっき被膜を加熱処理又はプラズマ処理することにより、該めっき被膜内に含まれる水分を低減して、半田リフロー時に半田接合部に発生するボイドを低減するようにしたものである。

【0007】

【発明の実施の形態】以下、本発明をアルミナパッケージに適用した一実施形態を図1に基づいて説明する。ICパッケージであるアルミナパッケージ20は、複数枚のアルミナグリーンシートを積層して1500～1600℃で焼成して一体化したものであり、具体的には次の手順で製造される。

【0008】各層のアルミナグリーンシートに形成された層間接続用のビアホールにタングステン、モリブデン等の高融点金属のペーストをスクリーン印刷により充填すると共に、最上層に積層するアルミナグリーンシートに、多数の微小な電極下地導体21(パッド)を高融点金属のペーストでスクリーン印刷し、これ以外の層のアルミナグリーンシートには、内層配線パターンを高融点金属のペーストでスクリーン印刷する。尚、最上層のアルミナグリーンシートのビアホールに充填したビア導体の上端部をそのまま電極下地導体として用いるようにしても良い。

【0009】スクリーン印刷工程終了後、各層のアルミナグリーンシートを積層し、熱圧着して生基板を作る。そして、この生基板を還元性雰囲気中にて1500～1600℃で焼成し、アルミナパッケージ20と電極下地導体21と内層配線パターン等とを同時焼成する。

【0010】この後は、図2に示す手順に従って電極下地導体21の表面仕上げ処理を次のようにして行う。まず、電極下地導体21の表面に無電解NiめっきでNiめっき被膜22を形成する。この後、還元雰囲気中で600～1000℃で加熱処理する。この加熱処理の目的は、電極下地導体21とNiめっき被膜22との接着強度を高めることにある。次に、このNiめっき被膜22の表面に無電解AuめっきでAuめっき被膜23を形成する。この後、還元雰囲気中で200～800℃で加熱処理して、Auめっき被膜23内にトラップされている水分を気化させて取り除く。これにて、電極下地導体21の表面仕上げ処理が完了する。尚、加熱処理に代えて

プラズマ処理を行っても良い。

【0011】このようにして製造されたアルミナパッケージ20の電極24（パッド）にICチップ25を半田付けする場合には、図1（b）に示すように、ICチップ25の電極部に半球突起状の半田バンプ26を形成し、この半田バンプ26をアルミナパッケージ20の電極24に位置合わせした状態でリフロー炉で加熱してリフロー半田付けする。

【0012】

【実施例】本発明者は、めっき被膜22、23を加熱処理する効果を評価するため、次のような評価試験を行った。

【0013】【試験1】前述のようにして焼成したアルミナパッケージの電極下地導体の表面に無電解Ni-Bめっきで5μmのNi-Bめっき被膜を形成した後、H*

めっき後の加熱処理とボイド切れの関係

加熱温度 (℃)	加熱せず	100	200	300	400	500	600	700
ボイド切れ 発生率(%)	82	51	12	2.0	2.5	3.6	1.7	1.8

【0015】ここで、ボイド切れとは、図3（c）に示すように、半田接合部がボイド部分で破断する破断モードである。正常な破断モードは、図1（c）に示すように、半田接合部が延びきってその中間部分で破断する円錐形状を示す。めっき被膜の加熱処理を行わない場合には、ボイド切れ発生率が82%にもなった。これに対し、加熱処理を行った場合には、水の沸点である100℃以上の加熱処理でボイド切れ発生率が大幅に低下し、200℃の加熱処理でボイド切れ発生率が12%になり、300℃の加熱処理で2.0%になり、600℃の加熱処理では、今回の試験でボイド切れ発生率が最も少ない1.7%になった。この試験結果から200℃以上（好ましくは300～700℃）の加熱処理を行えば、ボイド切れ発生率が極めて少なくなることが判明した。

【0016】本発明者は、破断モードと接合強度との関係※

ボイド切れ発生率とめっき被膜中の水分量の関係

	加熱処理無し		加熱処理有り	
	82 %		3.6 %	
水分量	100℃	2.7 μg/cm ²	100℃	2.1 μg/cm ²
	200℃	5.0 μg/cm ²	200℃	3.8 μg/cm ²
	300℃	16.6 μg/cm ²	300℃	13.9 μg/cm ²

【0019】この試験は、加熱処理無しのサンプル（ボイド切れ発生率：82%）と、加熱処理有りのサンプル（加熱温度：500℃、ボイド切れ発生率：3.6%）について、100℃、200℃、300℃で加熱したと

*2 雰囲気中にて800℃で30分の加熱処理を行った。

この後、このNi-Bめっき被膜の表面に無電解Auめっきで0.06μmのAuめっき被膜を形成した後、H₂雰囲気中にて下記の表1の温度で30分の加熱処理を行った。これらのサンプルについて、5%Sn-95%Pb半田でICチップをリフロー半田付けして、ICチップを引き剥がした際のボイド切れの発生率を調査したところ、下記の表1のような結果が得られた。この試験では、加熱処理しないものについても、ボイド切れの発生率を調査した。尚、各サンプルの電極（パッド）の数は360個であり、各々の加熱温度で、それぞれ5個のサンプルについてボイド切れの発生率を調査した。

【0014】

【表1】

※係を測定したところ、図1（c）に示すような正常な破断モードでは、1電極（径：120μm）当たり60gfの接合強度が得られたが、図3（c）に示すようなボイド切れが発生すると、接合強度が1電極（径：120μm）当たり35gfに低下してしまう。従って、ボイド切れが発生すると、正常な破断モードの場合の半分程度の接合強度しか得られず、接合信頼性が大幅に低下してしまう。このことから、めっき後の加熱処理によりボイド切れ発生率を低下させることが、接合強度向上、接合信頼性向上につながるということがよく分かる。

【0017】【試験2】本発明者は、ボイド切れ発生率とめっき被膜に含まれる水分量との関係についても測定したので、その測定結果を次の表2に示す。

【0018】

【表2】

きに、めっき被膜から発生する水分量を水分測定装置で測定したものである。この試験結果から、めっき後の加熱処理により、めっき被膜に含まれる水分量が20%前後減少することが確認された。この水分量の減少によ

り、ボイド切れ発生率を 82% から 3.6% にまで大幅に低減することができる。

【0020】〔試験 3〕前述した試験 1 では、Ni/Au めっき被膜を加熱処理したが、これに代えてプラズマ処理によりめっき被膜中の水分を低減させる試験を行った。この試験では、試験 1 と同様の方法で Au めっき被

*膜まで形成した後、プラズマ発生装置を用いてプラズマクリーニングを行って、ボイド切れの発生率を調査したところ、次の表 3 のような結果が得られた。

【0021】

【表 3】

プラズマクリーニングとボイド切れ発生率の関係

プラズマ処理時間	無し	10 秒	30 秒	60 秒	120 秒
ボイド切れ発生率	82 %	10 %	7.8 %	5.6 %	3.2 %

【0022】ここで、プラズマクリーニング条件は、H₂ : 2% と Ar : 98% との混合ガスを 5 cc/min で流し、500W の高周波電力を供給してプラズマを発生させ、このプラズマをサンプルに沿って流す。各サンプルの電極（パット）の数は 360 個であり、表 3 の各プラズマ処理時間でそれぞれ 5 個のサンプルについてボイド切れの発生率を調査した。プラズマクリーニングを行わない場合には、ボイド切れ発生率が 82% であるが、10 秒以上のプラズマクリーニングでボイド切れ発生率が 10% 以下に低下し、プラズマ処理時間が長くなるほどボイド切れ発生率が低下し、30 秒で 7.8%、60 秒で 5.6%、120 秒で 3.2% になった。この試験結果から 10 秒以上（より好ましくは 120 秒以上）のプラズマクリーニングによってもボイド切れ発生率が少なくなることが確認された。

【0023】尚、図 1 の例では、電極 24 に IC チップ 25 をリフロー半田付けしたが、プリントボード等の他の部品をリフロー半田付けするようにしても良い。

【0024】また、図 1 の例では、Ni めっき被膜 22 の上に Au めっき被膜 23 を形成したが、Au めっきを行わずに Ni めっき（Ni-B めっき）のみで電極表面を仕上げるようにしても良い。また、Ni めっきとして Ni-P めっきを用いるようにしても良い。Ni めっきのみで電極表面を仕上げる場合（Ni めっきが最終めっき工程となる場合）には、Ni めっき処理後に加熱処理

又はプラズマ処理を施して Ni めっき被膜内に含まれる水分を低減するようにすれば良い。

【0025】

【発明の効果】以上の説明から明らかなように、本発明によれば、電極下地導体の表面に形成しためっき被膜を加熱処理又はプラズマ処理するようにしたので、めっき被膜内に含まれる水分を低減することができ、半田接合部のボイド切れの発生率を効果的に低減でき、接合信頼性を向上することができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態を示すもので、(a) は電極構造を示す縦断面図、(b) は IC チップの半田付け状態を示す縦断面図、(c) は半田接合部の正常な破断状態を示す縦断面図

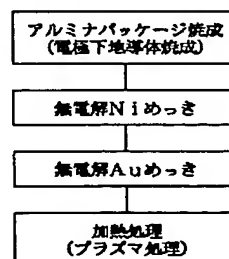
【図 2】電極の製造工程を示す工程図

【図 3】従来例を示すもので、(a) は電極構造を示す縦断面図、(b) は IC チップの半田付け状態を示す縦断面図、(c) は半田接合部のボイド切れを示す縦断面図

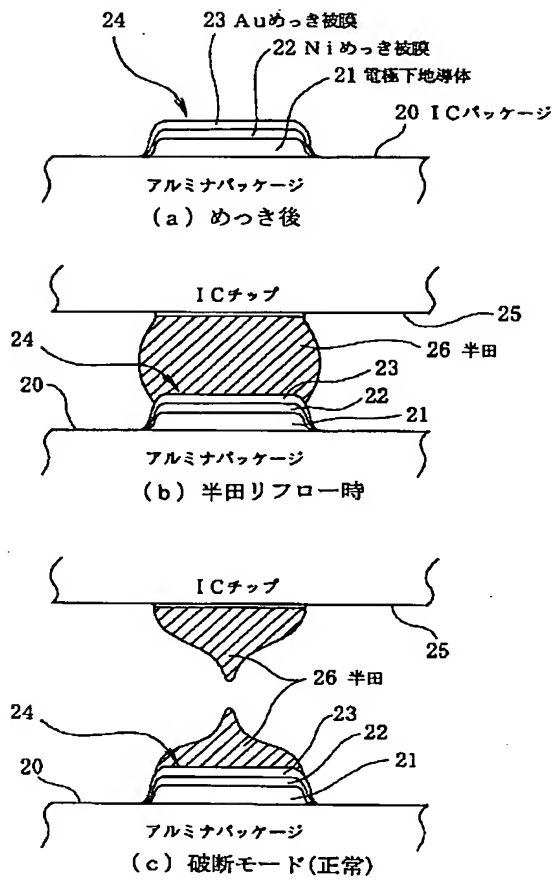
【符号の説明】

20…アルミナパッケージ（IC パッケージ）、21…電極下地導体、22…Ni めっき被膜、23…Au めっき被膜、24…電極、25…IC チップ、26…半田バンプ。

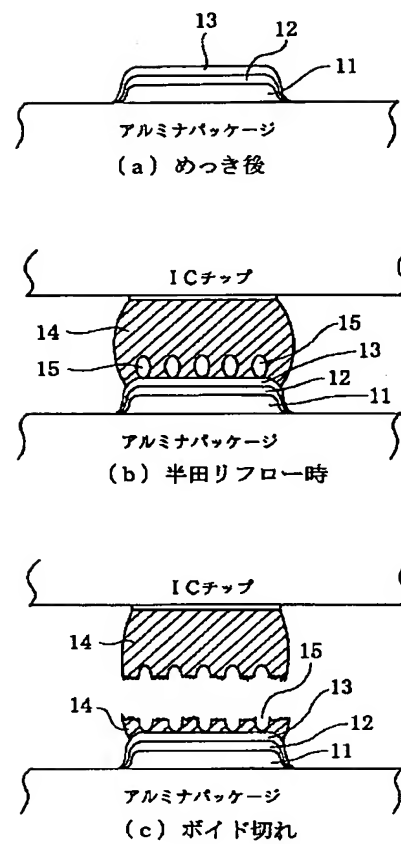
【図 2】



【図1】



【図3】



THIS PAGE BLANK (USPTO)